

⑫ 公開特許公報 (A)

平3-280538

⑤Int.Cl.⁵

H 01 L 21/304

識別記号

3 2 1 M
3 0 1 B

庁内整理番号

8831-4M
8831-4M

⑬公開 平成3年(1991)12月11日

審査請求 未請求 請求項の数 2 (全6頁)

⑭発明の名称 半導体素子形成用基板の製造方法

⑮特 願 平2-81696

⑯出 願 平2(1990)3月29日

⑰発明者	伊藤辰夫	東京都千代田区丸の内1丁目4番2号 信越半導体株式会社内
⑰発明者	内山敦雄	長野県更埴市大字屋代1393番地 長野電子工業株式会社内
⑰発明者	深美正雄	長野県更埴市大字屋代1393番地 長野電子工業株式会社内
⑰出願人	信越半導体株式会社	東京都千代田区丸の内1丁目4番2号
⑰出願人	長野電子工業株式会社	長野県更埴市大字屋代1393番地
⑰代理人	弁理士荒船博司	外1名

明細書

1. 発明の名称

半導体素子形成用基板の製造方法

2. 特許請求の範囲

(1) ベースウェーハとボンドウェーハとを直接接合して構成される半導体素子形成用基板を製造するにあたり、ボンドウェーハの径をベースウェーハの径よりも小さくし、且つボンドウェーハの下面(接合面)の面取り幅を50μm以下とし、更にベースウェーハの上面側を、接合直前状態においてベースウェーハの接合面とボンドウェーハの接合面と同じ大きさになるように面取りしたことを特徴とする半導体素子形成用基板の製造方法。

(2) ベースウェーハとボンドウェーハの少なくとも一方の接合面に酸化膜を形成して構成されるSOI構造の半導体素子形成用基板を製造するにあたり、ボンドウェーハの径をベースウェーハの径よりも小さくし、且つボンドウェーハの下面(接合面)の面取り幅を50μm以下とし、接合

直前状態においてベースウェーハの接合面とボンドウェーハの接合面とが同じ大きさになるようにしたことを特徴とする半導体素子形成用基板の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、ウェーハ同士を接合して構成される半導体素子形成用基板の製造技術に関するもので、さらに詳しくは、前記半導体素子形成用基板に用いられるウェーハの面取り技術に関するものである。

[従来の技術]

半導体素子を高密度に形成した集積回路の素子分離を容易にしたり、あるいは特にCMOS半導体素子回路のラッチアップ現象を解消するために、半導体素子形成用基板としてSOI構造が従来から提供してきた。

かかるSOI構造を提供するために、Si基板の上に酸化膜(絶縁層)を形成し、更に多結晶層を析出し、レーザー等による単結晶薄膜化を行な

ったり、あるいはサファイア基板の上にSiの多結晶薄層を気相から熱分解反応により形成する方法がとられてきた。

しかしながら、これらの方によって形成された絶縁層の上のSi単結晶薄層の結晶性は満足すべきものでなかった。そこで、さらに技術的な改良が行なわれ、Siウェーハを絶縁層を介して接合し、半導体素子を形成する活性領域のSiウェーハを研磨またはエッティングによって所望の薄層にする方法が成功をおさめつつある。

また、バイポーラ半導体素子回路用に高低2層の抵抗率からなる所謂エピタキシャルウェーハが半導体素子形成用基板として従来から使用されてきた。

かかるエピタキシャルウェーハの製造にあっては、シリコン半導体材料の場合、気相エピタキシャル法が一般に用いられ、例えばトリクロロシラン又はテトラクロロシランの熱分解または水素還元法によって低抵抗のシリコン単結晶鏡面ウェーハ上に高抵抗の同じ又は逆電導型の単結晶薄膜を

以上の温度で且つ約100kg/cm²以上の圧力で接合する方法が紹介されている。また、後者の例としては、昭和63年3月1日に日経マグロウヒル社によって発行された「日経マイクロデバイス」第92頁～第98頁に述べられている。以下、この半導体素子形成用基板について説明する。

第3図(C)には、SOI構造を持つ半導体素子形成用基板の一例が示されている。

この基板はウェーハ1aとウェーハ1bとを酸化膜1cを介して接合した後、ウェーハ1bの露出面を研磨または／およびエッティング等により薄膜化することによって製造される。具体的にその製造工程を説明すれば次の通りである。

先ず、ウェーハ1aとウェーハ1bとを接合するにあたって、第3図(A)に示すようにボンドウェーハ1bの全面に熱酸化によって厚さ約0.8μmの酸化膜1cを形成しておく(この場合ウェーハ1aの接合面も熱酸化し、ウェーハ1a, 1bの接合状態で、酸化膜の厚さが全体で約0.8μとなるようにしてもよい)。そして、ウェーハ

数ミクロン成長させることによって基板が製造される。かかる気相エピタキシャル法は単結晶膜を形成するための低抵抗下地からの不純物の熱拡散又は気相を介してのオートドーピングによってその成長界面の不純物レベルが場合によっては5ミクロンに亘って比較的高くなり、階段状の抵抗率変化が不可能となる欠点があるため、近年では、例えば特公昭62-27040号公報に開示されるように、高低2層の半導体鏡面ウェーハを直接密着させた状態で加熱して接合し階段状の抵抗率変化をもつ構造のバイポーラ半導体素子形成用基板を得る方法が考えられている。

本発明との関連において、従来技術の問題点を明らかにするためにSOI構造のウェーハ接合法について、その詳細に触れる。

かかる接合法には、加圧のために単なる加重を用いるものと静電圧力を用いるものとがあるが、前者の例としては、例えば特開昭48-40372号公報に述べられている。本公知文献には、Siウェーハを酸化膜を介して重ね、約1100℃

1aとウェーハ1bとを重ね合せ(第3図(B))、その状態で炉に仕込み、N₂雰囲気中で、この重ね合せウェーハに約500℃の温度で、約300Vのパルス状の電圧を加える。これによって、ウェーハ1aとウェーハ1bが接合されることになる。このウェーハ接合体は、ウェーハ同士の結合性が強いので、従来のプロセスにそのまま流すことが可能である。

このようにして得られたウェーハ接合体のウェーハ1bをその外側から研磨または／およびエッティング等により薄膜化することによって、第3図(C)に示すSOI構造の半導体素子形成用基板が製造される。

ところで、従来、このような接合法を用いて製造される半導体素子成形用基板においては、ベースウェーハ1a、ボンドウェーハ1bの径はほぼ等しく、しかも、その各ウェーハの上下面の周縁部に形成される面取り部はそれぞれほぼ対称面取り形状となっていた。

つまり、第4図に示すように、ベースウェーハ

1 a の上面側の面取り部 1 1 a の面取り幅を w_{11} 、面取り深さを d_{11} とし、下面側の面取り部 1 1 b の面取り幅を w_{12} 、面取りの深さを d_{12} とすれば、 $w_{11} = w_{12}$ 、 $d_{11} = d_{12}$ で、上面側の面取り部 1 1 a の傾斜面と上面とのなす角度 $\theta_{11} = \arctan(d_{11}/w_{11})$ と、下面側の面取り部 1 1 b の傾斜面と上面とのなす角度 $\theta_{12} = \arctan(d_{12}/w_{12})$ とは互いに等しくなるように構成されていた。

また一方、ボンドウェーハ 1 b の上面側の面取り部 1 2 a の面取り幅を w_{12} 、面取り深さを d_{12} とし、下面側の面取り部 1 2 b の面取り幅を w_{13} 、面取りの深さを d_{13} とすれば、 $w_{12} = w_{13}$ 、 $d_{12} = d_{13}$ で、上面側の面取り部 1 2 a の傾斜面と上面とのなす角度 $\theta_{12} = \arctan(d_{12}/w_{12})$ と、下面側の面取り部 1 2 b の傾斜面と上面とのなす角度 $\theta_{13} = \arctan(d_{13}/w_{13})$ とは互いに等しくなるように構成されていた。

【発明が解決しようとする課題】

ところが、上記技術にあっては、次のような問

本発明は、かかる点に鑑みてなされたもので、チップカケを生じ、粒子汚染その他の不具合を生ない面取り技術を提供することを目的としている。

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

上記目的を達成するため、本発明では、ベースウェーハとボンドウェーハとを直接接合するか、或いは一方のみ熱酸化した後接合して構成される半導体素子形成用基板を製造するにあたり、ボンドウェーハの径をベースウェーハの径よりも小さく、且つボンドウェーハの下面側（接合面）の面取り幅を $50 \mu m$ 以下とし、更に、接合直前状態においてベースウェーハの接合面とボンドウェーハの接合面とが同じ大きさになるようにしたものである。

【作用】

上記発明によれば、ボンドウェーハが薄層化されたときに、ボンドウェーハの下面側即ち接合面側の面取り幅が十分に小さいために、例えば鏡面

面があつた。

即ち、上記半導体素子形成用基板によれば、ベースウェーハ 1 b については、その後のレジスト塗布やエピタキシャル層の形成の際にその周縁部にクラウンが発生しないように、上面側の面取り部 1 1 a の面取り幅 w_{11} は、上述の如く、ある一定以上の幅に設定されると共に、上面側の面取り角度 θ_{11} もある一定値以下の値に設定されている。かかる事情の下、従来は、接合直後薄層化開始時において $w_{11} = w_{12} = w_{13} = w_{14}$ 、 $d_{11} = d_{12} = d_{13} = d_{14}$ となっており、ウェーハ 1 a、1 b の上下面においてそれぞれ対称形状の面取りを行なっているので、ボンドウェーハ 1 b の上面を接合後研磨などによって薄層化したときに、ボンドウェーハ 1 b の下面側の面取り部は、ベースウェーハ 1 b の上面で支持されないので、薄層化の程度によっては、部分的に欠落し、ボンドウェーハ 1 b の外周縁は微小な凹凸を生じ、後の半導体素子回路製造工程において、チップカケを生じ、粒子汚染その他の不具合を生ずる。

研磨を用いて薄層化するにあたって、軟質の研磨布を用いれば、ボンドウェーハの周縁が特に研磨され、所謂ダレが生じて、ベースウェーハ上面（接合面側）の面取りの延長として連続的な曲面でボンドウェーハ主表面（鏡面）につながるようになる。そして、ボンドウェーハ下側の面取り幅が大きくなく、しかもボンドウェーハがベースウェーハに対し直徑が小さく選択されているので、従来技術のように、ボンドウェーハの周縁が欠落したりすることはない。本発明に基くボンドウェーハが薄層化された後の接合ウェーハは、その断面形状が特にその表面の研磨面において一枚の鏡面ウェーハと同じになる。従って本発明によれば、直接接合の場合には、高抵抗率と低抵抗率の両ウェーハを接合することによって、その接合面を境にして、階段状の抵抗率変化が実現でき、且つその周縁には、従来のエピタキシャルウェーハよりも勝って劣ることのない希望するなだらかな面取りが形成され又 SOI 構造の場合にも外見的には直接接合の場合と同様となりホトリソ工程で示

トレジストのクラウン現象は発生しない。

[実施例]

以下、本発明に係るSOI構造の半導体素子形成用基板の製造方法の実施例を図面に基づいて説明する。

第1図(A)～(C)にはSOI構造の当該基板の各製造工程を示す縦断面図が示されている。

この基板は、ベースウェーハ21aとそれよりも径の小さいボンドウェーハ21bとを酸化膜21cを介して接合したウェーハ接合体において、ボンドウェーハ21bを研磨または／およびエッチング等により薄膜化することによって製造される。

その際用いるベースウェーハ21aおよびボンドウェーハ21bとしては、予め面取りをしておいたウェーハが用いられる。

即ち、第2図に示すように、ベースウェーハ21aにおいては、ベースウェーハ21aの上面側の面取り部31aの面取り幅をw_a、面取り深さをd_aとし、下面側の面取り部31bの面取り幅

をw_b、面取りの深さをd_bとすれば、w_a=w_b、d_a=d_bで、上面側の面取り部31aの傾斜面と上面のなす角度θ_a=arc tan(d_a/w_a)と、下面側の面取り部31bの傾斜面と上面とのなす角度θ_b=arc tan(d_b/w_b)とが等しくなるように構成されている。なお、ベースウェーハ21aにおいては、その上面側の面取り幅w_aと、面取り角度θ_a=arc tan(d_a/w_a)とは、ボンドウェーハ21bの薄膜化(5μm以下)のため実質的になくなると同様になるので、その後のレジスト塗布又はもし必要ならエピタキシャル層形成の際クラウンが発生しないような値に設定されている。一方、その下面側の面取り幅w_bと、面取り角度θ_b=arc tan(d_b/w_b)とは、その後のレジスト塗布およびエピタキシャル層形成の際ににおけるクラウンの発生とは関係しないので、単に、その取扱い時における欠けが生じないような幅、角度の範囲内の値に設定しておきさえすれば良い。

また一方、酸化膜21c形成後のボンドウェー

ハ21bの上面側の面取り部32aの面取り幅をw_a、面取り深さをd_aとし、下面側の面取り部32bの面取り幅をw_b、面取りの深さをd_bとすれば、w_aは例えば50μm以下、w_bは例えばw_aと同じとなっている。また、d_aは例えばd_a(=d_b)と同じにしてもよい。上面側の面取り部32aの傾斜面と下面のなす角度θ_a=arc tan(d_a/w_a)は、研磨工程でチップカケが生じない程度であればよいが、本発明の目的からは、極端に小さい30°でもよい。それは、研磨され5μm以下にボンドウェーハが薄膜化されたとき、周縁が欠落せずに、研磨され、逆傾斜の面ダレにスムーズに断面形状が変化するようにするためにある。これに対しθ_b=arc tan(d_b/w_b)は、通常の面取りの角度でよく、θ_aと等しくとってもよい。

また、ベースウェーハ21aおよびボンドウェーハ21bの直径D_a、D_bは、(D_a-w_a)=(D_b-w_b)となるように設定されている。

ところで、上記に示した面取り幅w_aは理論上の

もので、実際には、上述したように、ウェーハ21a、21bの接合面の鏡研磨の際に周辺ダレが生じる。したがって、実際上は、面取り幅w_aは理論値よりも大きくなるが、SOI構造の場合酸化膜の厚さは1μmであるので無視できる。

[発明の効果]

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

即ち、本発明によれば、ベースウェーハとボンドウェーハとを直接又は酸化膜を介して接合して構成される半導体素子形成用基板を製造するにあたり、ボンドウェーハの径をベースウェーハの径よりも小さくし、且つボンドウェーハ下面(接合面)の面取り幅を十分小さく選択し、又、接合直前状態においてベースウェーハの接合面とボンドウェーハの接合面とが同じ大きさになるように面取りを行なうこととしたので、ベースウェーハとボンドウェーハとは、その外周縁においてなだらかな一体的面取り部が形成され、望ましないチッ

ブカケを生じたりすることなく、しかも、ホトレジストの被膜又は必要な場合エピタキシャル成長を行なってもクラウンが全く発生しない。

4. 図面の簡単な説明

第1図(A)～(C)は本発明に係るSOI構造の半導体素子形成用基板の製造方法の実施例の各製造工程を示す図。

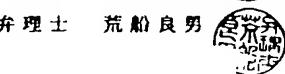
第2図は面取り条件を示すウェーハの一部縦断面図、

第3図(A)～(C)は従来方法の各製造工程を示す図、

第4図は第3図における半導体素子形成用基板の面取り条件を示すウェーハの一部縦断面図である。

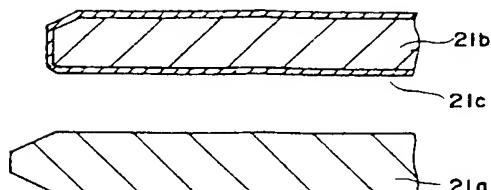
21a…ベースウェーハ、21b…ボンドウェーハ、21c…酸化膜。

代理人 弁理士 荒船博司
弁理士 荒船良男

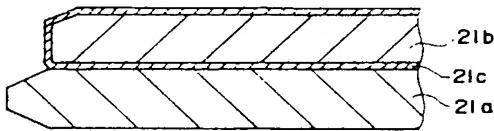


第1図

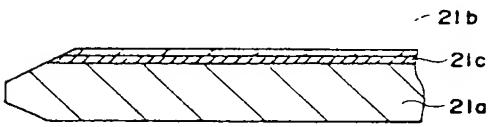
(A)



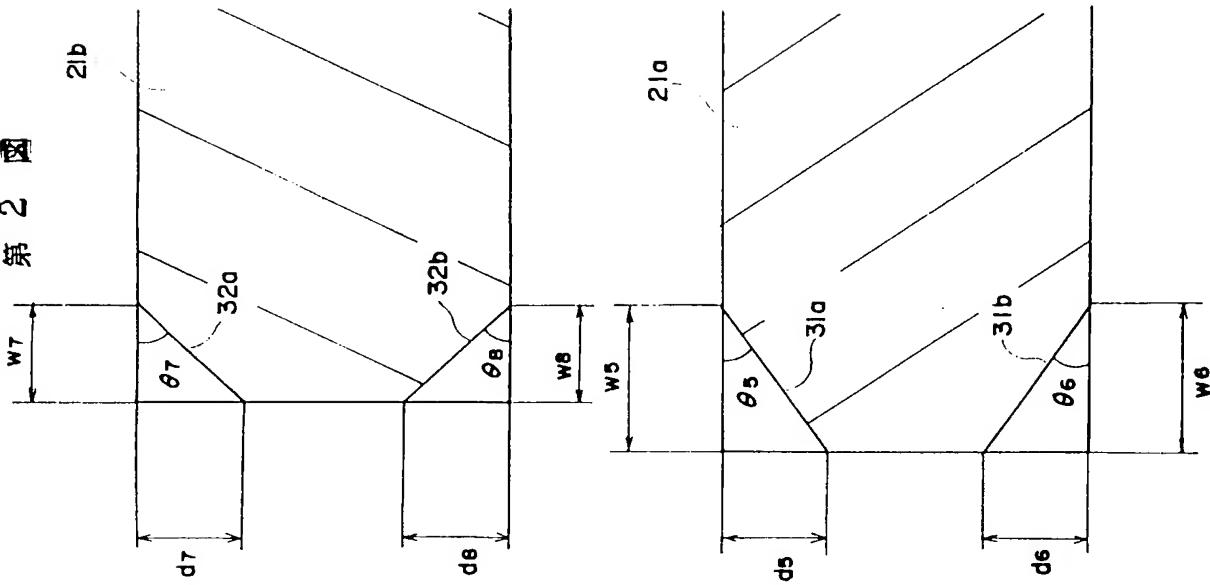
(B)



(C)

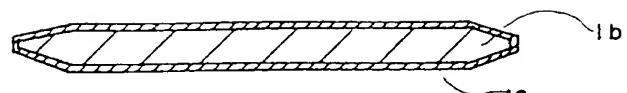


第2図

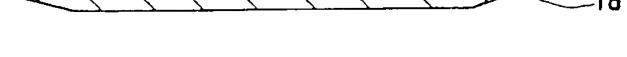
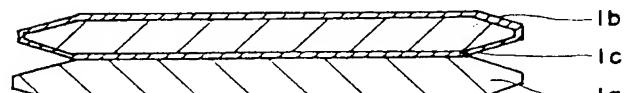


第 3 図

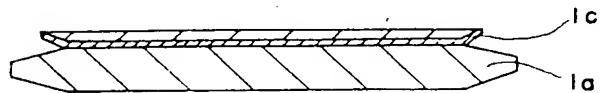
(A)



(B)



(C)



第 4 図

